

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149496

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

G06F 17/50
H03K 19/173

(21)Application number : 09-318546

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.11.1997

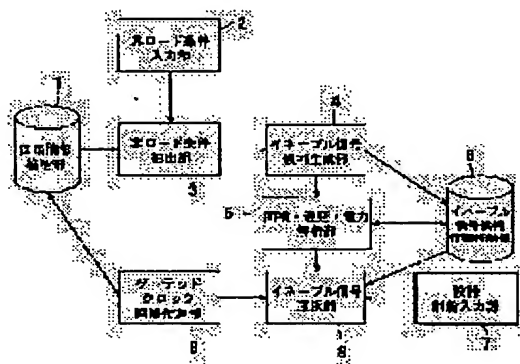
(72)Inventor : KITAHARA TAKESHI
USAMI MASAYOSHI
NISHIO SEIICHI

(54) DEVICE AND METHOD FOR SUPPORTING GATED CLOCK DESIGN AND COMPUTER READABLE STORAGE MEDIUM STORING GATED CLOCK DESIGN SUPPORTING PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gated clock design supporting device with which gated clock design is enabled by using an optimum enable signal with a high power consumption reduction effect.

SOLUTION: Non-load conditions are extracted (3) corresponding to a memory cell and based on these conditions, enable signal candidates in gated clock design are generated (4). While analyzing (5) the parameters such as area, delay time and power consumption provided with these enable signal candidates, any enable signal is selected (8) and a gated clock circuit using this selected enable signal is added to a logic circuit to be designed.



LEGAL STATUS

[Date of request for examination]

27.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-149496

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁸

G 0 6 F 17/50

H 0 3 K 19/173

識別記号

F I

G 0 6 F 15/60

H 0 3 K 19/173

6 5 2 E

審査請求 未請求 請求項の数9 OL (全 12 頁)

(21) 出願番号 特願平9-318546

(22) 出願日 平成9年(1997)11月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 北原 健

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 宇佐美 公良

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 西尾 誠一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

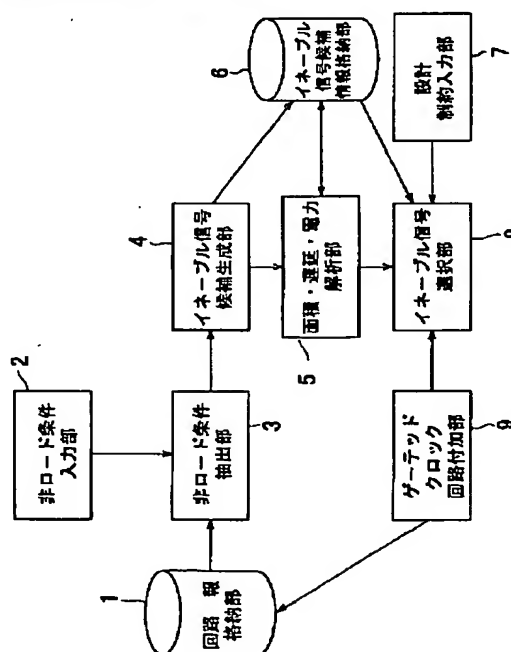
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 ゲーテッドクロック設計支援装置、ゲーテッドクロック設計支援方法、及びゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体

(57) 【要約】

【課題】 消費電力削減効果の大きい最適なイネーブル信号を用いたゲーテッドクロック設計を可能にするゲーテッドクロック設計支援装置を提供する。

【解決手段】 記憶素子に対する非ロード条件を抽出し、その条件に基づいてゲーテッドクロック設計におけるイネーブル信号候補を生成する。そして、このイネーブル信号候補が持っている面積、遅延時間及び消費電力といったパラメータを考慮してイネーブル信号を選び、この選択されたイネーブル信号を使ったゲーテッドクロック回路を設計すべき論理回路に付加するようにした。



【特許請求の範囲】

【請求項1】 論理回路に対してゲートッドクロック設計を行うためのゲートッドクロック設計支援装置において、設計すべき論理回路に関する情報を格納する回路情報格納部と、前記論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出部と、前記非ロード条件から、ゲートッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成部と、前記イネーブル信号候補がイネーブル信号としてゲートッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析部と、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析部の解析結果を含む情報を格納する候補情報格納部と、設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報を入力する設計制約入力部と、前記イネーブル信号候補情報と前記制約情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択部と、前記イネーブル信号選択部により選択されたイネーブル信号を使ったゲートッドクロック回路を前記設計すべき論理回路に付加するゲートッドクロック回路付加部とを備えたことを特徴とするゲートッドクロック設計支援装置。

【請求項2】 記憶素子に対してデータロードの必要がない条件を入力する条件入力部を備え、前記非ロード条件抽出部は、前記条件入力部より入力された条件と前記論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出する構成にしたことを特徴とする請求項1記載のゲートッドクロック設計支援装置。

【請求項3】 前記イネーブル信号選択部は、前記候補情報格納部中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示する表示手段を有し、前記表示手段によるディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択する構成にしたことを特徴とする請求項1または請求項2記載のゲートッドクロック設計支援装置。

【請求項4】 設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出ステップと、前記非ロード条件から、ゲートッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成ステップと、前記イネーブル信号候補がイネーブル信号としてゲートッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析ステップと、

前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析ステップの解析結果を含む情報を記憶装置に格納する候補情報格納ステップと、前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択ステップと、前記イネーブル信号選択ステップにより選択されたイネーブル信号を使ったゲートッドクロック回路を前記設計すべき論理回路に付加するゲートッドクロック回路付加ステップとを実行することを特徴とするゲートッドクロック設計支援方法。

【請求項5】 前記非ロード条件抽出ステップの前に、記憶素子に対してデータロードの必要がない条件を入力する条件入力ステップを行い、前記非ロード条件抽出ステップは、前記条件入力ステップより入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出することを特徴とする請求項4記載のゲートッドクロック設計支援方法。

【請求項6】 前記イネーブル信号選択ステップは、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択することを特徴とする請求項4または請求項5記載のゲートッドクロック設計支援方法。

【請求項7】 設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出手段と、

前記非ロード条件から、ゲートッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成手段と、前記イネーブル信号候補がイネーブル信号としてゲートッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析手段と、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析手段の解析結果を含む情報を記憶装置に格納する候補情報格納手段と、

前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択手段と、

前記イネーブル信号選択手段により選択されたイネーブル信号を使ったゲートッドクロック回路を前記設計すべき論理回路に付加するゲートッドクロック回路付加手段とを有することを特徴とするゲートッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項 8】 前記非ロード条件抽出手段の前に、記憶素子に対してデータロードの必要がない条件を入力する条件入力手段を行い、

前記非ロード条件抽出手段は、前記条件入力手段より入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出することを特徴とする請求項 7 記載のゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項 9】 前記イネーブル信号選択手段は、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択することを特徴とする請求項 7 または請求項 8 記載のゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータを利用した論理回路設計の自動化技術において、特に消費電力の低減化効果の高いゲーテッドクロック設計を支援することを目的としたゲーテッドクロック設計支援装置、及びゲーテッドクロック設計支援方法に関する。

【0002】

【従来の技術】近年、LSI などの半導体チップは高集積化、大型化する傾向にあり、消費電力も大きくなりつつある。ゲーテッドクロック設計は、回路設計をする際に、消費電力の少ない論理回路を生成することを目的として開発されたものである。なお、以下の説明において、ゲーテッドクロック設計により論理回路を変更する作業をクロックゲーティングという。

【0003】ここで、上記ゲーテッドクロック設計について簡単に説明する。

【0004】図 15 は、論理設計対象となる同期形論理回路の一部分を示す部分回路図であり、クロックゲーティングされていない論理回路を示している。

【0005】同図において、FF0、FF1、…FF31 は D フリップフロップであり、32 個のフリップフロップにより 32 ビットのデータレジスタが構成されている。各フリップフロップのクロック入力ポート CK には、クロック信号 CLK が同一のタイミングで供給され、データ演算回路 11 で計算されたデータがクロック信号 CLK の立ち上がりのタイミングでデータ入力ポート D に書き込まれる。

【0006】こうした論理回路では、フリップフロップがクロック信号の立ち上がりと立ち下がりで作動作する際に電力消費が最も大きいことが知られている。しかし、クロック信号はデータの有無にかかわらず、常に一定のタイムフレームでフリップフロップに入力されているため、データをロードする必要がない非ロード時には無駄

な電力を消費していることになる。

【0007】図 16 は、クロックゲーティングされた論理回路の回路構成図であり、図 15 のクロックライン上にゲーティング回路として AND ゲート 12 を挿入した場合の例を示している。

【0008】この AND ゲート 12 には、クロック出力を制御するための図示しないイネーブル論理回路が接続されており、クロック信号 CLK のタイミングに合わせて“1”又は“0”のイネーブル信号 E がイネーブル論理回路から AND ゲート 12 へ与えられている。

【0009】図 16 において、イネーブル信号 E が“1”にセットされると、クロック信号 CLK の立ち上がりとともに論理積が成立するため、データの書き込みがなされる。一方、イネーブル信号が“0”にセットされると、クロック信号 CLK が立ち上がった後も論理積が成立しないため、データの書き込みは行われない。このように、データを書き込む必要がないときは、クロック信号 CLK のタイミングに合わせてイネーブル信号 E を“0”とすることによって、フリップフロップでの無駄な電力の消費を防ぐことができる。

【0010】かかるゲーテッドクロック設計においては、レジスタやメモリ等の記憶素子に対してクロックを供給するか否かを決定するイネーブル信号の生成方法により、消費電力削減の効果は大きく違ってくる。このイネーブル信号の設計は、これまで設計者が人手で行うか、あるいは論理回路の制御構造から CAD によりイネーブル信号を自動生成する手法があった。

【0011】

【発明が解決しようとする課題】しかしながら、従来のゲーテッドクロック設計技術では、消費電力削減効果等の観点から、最適なイネーブル信号を生成する方法は提案されていなかった。このため、設計されたイネーブル信号が最適な信号で最も消費電力削減効果のある信号であるかを判断することができず、最適ではないイネーブル信号を使用してゲーテッドクロック設計が行われる場合があった。

【0012】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、消費電力削減効果の大きい最適なイネーブル信号を用いたゲーテッドクロック設計を可能にするゲーテッドクロック設計支援装置、及びゲーテッドクロック設計支援方法を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するために、第 1 の発明であるゲーテッドクロック設計支援装置の特徴は、論理回路に対してゲーテッドクロック設計を行うためのゲーテッドクロック設計支援装置において、設計すべき論理回路に関する情報を格納する回路情報格納部と、前記論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出部

と、前記非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成部と、前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析部と、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析部の解析結果を含む情報を格納する候補情報格納部と、設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報を入力する設計制約入力部と、前記イネーブル信号候補情報と前記制約情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択部と、前記イネーブル信号選択部により選択されたイネーブル信号を使ったゲーテッドクロック回路を前記設計すべき論理回路に付加するゲーテッドクロック回路付加部とを備えたことにある。

【0014】第2の発明であるゲーテッドクロック設計支援装置の特徴は、上記第1の発明において、記憶素子に対してデータロードの必要がない条件を入力する条件入力部を備え、前記非ロード条件抽出部は、前記条件入力部より入力された条件と前記論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出する構成にしたことにある。

【0015】第3の発明であるゲーテッドクロック設計支援装置の特徴は、上記第1または第2の発明において、前記イネーブル信号選択部は、前記候補情報格納部中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示する表示手段を有し、前記表示手段によるディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択する構成にしたことにある。

【0016】第4の発明であるゲーテッドクロック設計支援方法の特徴は、設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出ステップと、前記非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成ステップと、前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析ステップと、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析ステップの解析結果を含む情報を記憶装置に格納する候補情報格納ステップと、前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択ステップと、前記イネーブル信号選択ステップにより選択されたイネーブル信号を使ったゲーテッ

ドクロック回路を前記設計すべき論理回路に付加するゲーテッドクロック回路付加ステップとを実行するようにしたものである。

【0017】第5の発明であるゲーテッドクロック設計支援装置の特徴は、上記第4の発明において、前記非ロード条件抽出ステップの前に、記憶素子に対してデータロードの必要がない条件を入力する条件入力ステップを行い、前記非ロード条件抽出ステップは、前記条件入力ステップより入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出するようにしたものである。

【0018】第6の発明であるゲーテッドクロック設計支援方法の特徴は、上記第4または第5の発明において、前記イネーブル信号選択ステップは、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択するようにしたものである。

【0019】第7の発明であるゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体の特徴は、設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出手段と、前記非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成手段と、前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析手段と、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析手段の解析結果を含む情報を記憶装置に格納する候補情報格納手段と、前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択手段と、前記イネーブル信号選択手段により選択されたイネーブル信号を使ったゲーテッドクロック回路を前記設計すべき論理回路に付加するゲーテッドクロック回路付加手段とを有することを特徴とするゲーテッドクロック設計支援プログラムを格納したことにある。

【0020】第8の発明であるゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体の特徴は、上記第7の発明において、前記非ロード条件抽出手段の前に、記憶素子に対してデータロードの必要がない条件を入力する条件入力手段を行い、前記非ロード条件抽出手段は、前記条件入力手段より入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出することにある。

【0021】第9の発明であるゲーテッドクロック設計

支援プログラムを格納したコンピュータ読み取り可能な記録媒体の特徴は、上記第7または第8の発明において、前記イネーブル信号選択手段は、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択することにある。

【0022】

【発明の実施の形態】以下、本発明に係わるゲーテッドクロック設計支援装置、ゲーテッドクロック設計支援方法、及びゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体の実施形態について説明する。

【0023】（第1実施形態）図1は、本発明の第1実施形態に係るゲーテッドクロック設計支援装置の機能ブロック図である。

【0024】このゲーテッドクロック設計支援装置は、論理回路に対してゲーテッドクロック設計を行うために、回路情報格納部1と、非ロード条件入力部2と、非ロード条件抽出部3と、イネーブル信号候補生成部4と、面積・遅延・電力解析部5と、イネーブル信号候補情報格納部6と、設計制約入力部7と、イネーブル信号選択部8と、ゲーテッドクロック回路付加部9とを備えている。

【0025】回路情報格納部1には、設計すべき論理回路、つまり設計対象の回路情報（例えば後述する図5、図6及び図9に示す回路情報）が格納されている。非ロード条件入力部2は、前記回路情報中の記憶素子（例えばフリップフロップ）に対してデータロードの必要がない非ロード時の条件（以下、非ロード条件という）を入力する。

【0026】非ロード条件抽出部3は、前記非ロード条件入力部2より入力された条件と設計対象の回路情報とにより、前記フリップフロップに対する非ロード条件を抽出する。イネーブル候補生成部4は、前記非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成する。

【0027】面積・遅延・電力解析部5は、生成されたイネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析する。イネーブル信号候補情報格納部6は、前記イネーブル信号候補を格納すると共に、これに関連して、面積・遅延・電力解析部5の解析結果を含むパラメータ情報をイネーブル信号候補情報として格納する。

【0028】設計制約入力部7は、設計対象の論理回路の面積、遅延時間及び消費電力に関する制約情報を入力し、イネーブル信号選択部8は、前記イネーブル信号候補情報と前記制約情報とにより、設計制約を満たしたイ

ネーブル信号を前記イネーブル信号候補の中から選択する。

【0029】そして、ゲーテッドクロック回路付加部9は、イネーブル信号選択部8により選択されたイネーブル信号を使ったゲーテッドクロック回路を前記設計すべき論理回路に付加して、回路情報格納部1に格納する。

【0030】図2は、図1に示したゲーテッドクロック設計支援装置を実現するコンピュータの構成を示すブロック図である。

【0031】図中11は、プログラムを実行するCPUであり、このCPU11には、バス12を介して、主記憶装置13、キャッシュメモリ14、メモリコントローラ15、バスコントローラ16、VRAM17、ディスプレイ制御部18、入力装置制御部20、及びディスク制御部21、22が接続されている。

【0032】主記憶装置13は、DRAMあるいはSRAMで構成され、実行するプログラムや、演算のためのデータ、演算結果のデータを一時的に記憶するメモリである。キャッシュメモリ14は、メモリ階層上でCPU11と主記憶装置13との間に介在する高速メモリであり、主記憶装置13上のデータの一部の写しを確保し、CPU11が行う主記憶装置13との読み書きを代行する。

【0033】メモリコントローラ15は、主記憶装置13あるいはキャッシュメモリ14とCPU11間のデータ転送をコントロールする。バスコントローラ16は、CPU11とバス12間のデータ転送をコントロールする。VRAM17は、CRT19に表示するデータを記憶するビデオRAMである。

【0034】ディスプレイ制御部18は、グラフィックプロセッサで構成され、データや画像をCRT19に表示するための回路である。入力装置制御部20は、キーボードやマウス等の入力装置23の動作を制御し、ディスク制御部21、22は、それぞれ外部記憶装置としてのハードディスク24とCD-ROM25の駆動を制御する。

【0035】ここで、上記図1に示したゲーテッドクロック設計支援装置の回路情報格納部1及びイネーブル信号候補情報格納部6は、ハードディスク24のファイルの一部として構成される。さらに、非ロード条件入力部2及び設計制約入力部7は入力装置23等で構成される。また、CD-ROM25には、本発明のゲーテッドクロック設計支援プログラム（後述の図3及び図4を参照）を含むCADソフトが格納されている。このゲーテッドクロック設計支援プログラムを主記憶装置13にロードしてCPU11によって実行することにより、図1に示した非ロード条件抽出部3、イネーブル信号候補生成部4、面積・遅延・電力解析部5、イネーブル信号選択部8、及びゲーテッドクロック回路付加部9の各機能を実現する。従って、この場合、CD-ROM25は、

本発明のゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体として、本発明を構成することになる。

【0036】次に、本実施形態のゲーテッドクロック設計支援装置の動作を、図3及び図4に示すフローチャートを参照しつつ説明する。

【0037】まず、回路情報格納部1に格納された記憶素子毎にこの記憶素子にデータがロードされる条件を非ロード条件抽出部3において求める(図3のステップS101)。次に非ロード条件入力部2から非ロード条件情報の入力があるか否かを判断する(ステップS102)。非ロード条件抽出部3において、非ロード条件情報の入力がある場合には、対象の記憶素子に対して、ロード条件の否定と入力された非ロード条件との和を非ロード条件とする(ステップS103)。非ロード条件情報の入力がない場合には、ロード条件の否定を非ロード条件とする(ステップS104)。

【0038】次に、イネーブル信号候補生成部4では、ステップS103及びS104で生成された非ロード条件について、非ロード条件の等しい記憶素子を記憶素子群としてまとめる(ステップS105)。ステップS105で生成された記憶素子群を1つ取り出す(ステップS106)。取り出せない場合は処理は終了する(ステップS107)。

【0039】取り出せた場合は、取り出された記憶素子群に対する非ロード条件の表わす論理からイネーブル信号の候補を作成する(図4のステップS108)。ステップS108で作成されたイネーブル信号の候補はイネーブル信号候補情報格納部6に格納され、この格納部6より1つの候補を取り出す(ステップS109)。取り出せない場合はステップS113へ進む(ステップS110)。取り出せた場合は、取り出されたイネーブル信号の候補を生成する論理部分の面積、遅延時間、消費電力及び非ロード確率を面積・遅延・電力解析部5において計算して、イネーブル信号候補情報格納部6に格納する(ステップS111)。

【0040】次に、取り出されたイネーブル信号の候補に対してイネーブル信号として利用した場合に増加する面積、削減される消費電力を計算する(ステップS112)。ここで、ステップS109に戻り、次のイネーブル信号の候補を取り出す。

【0041】全てのイネーブル信号の候補に対してステップS111及びS112の処理が施され、情報がイネーブル信号候補情報格納部6に格納されると、設計制約入力部7から入力された遅延時間、面積等に関する制約を満たし、電力削減の効果の最も大きいイネーブル信号をイネーブル信号候補情報格納部6から選ぶ(ステップS113)。

【0042】そして、選ばれたイネーブル信号を使って、ゲーテッドクロックを実現する回路を付加する(ス

テップS114)。ここでステップS106に戻り、次の記憶素子群を取り出す。全ての記憶素子群についてステップS108からS114の処理が施されると処理は終了する。

【0043】次に、具体例を示して各構成要素の動作を詳細に説明する。

【0044】まず、図5に示した部分回路を持つような論理回路が回路情報格納部1に存在したとする。同図においてFF0、FF1、…、FF31は記憶素子のフリップフロップを表わしている。フリップフロップにはデータ入力ピンD、クロック入力ピンCK及びデータ出力ピンQが存在する。

【0045】また、M0、M1、…、M31はマルチプレクサであり、コントロール用ピンに入力される信号Seの値が“0”の場合には入力ピン0側の信号値を、信号Seの値が“1”の場合には入力ピン1側の信号値をそれぞれ出力する機能を持っている。具体的にマルチプレクサM0、M1、…、M31は、図6に示すように、2入力ANDゲート41、42と2入力ORゲート43とから成る論理構造になっている。

【0046】各マルチプレクサM0、M1、…、M31のコントロール用ピンに入力される信号Seは、図5に示すように、信号a、b、c、dを用いて、2入力NANDゲート31、2入力ORゲート32、及び2入力ANDゲート33によって生成される。

【0047】まず、ステップS101において、非ロード条件抽出部3では各フリップフロップFF0～FF31に対してデータをロードする条件を次のように求める。

【0048】フリップフロップFF0のデータ入力ピンDの論理は、

$$\wedge(a * (b + c * d)) * I0 + (a * (b + c * d)) * Out$$

となる。ここで、*は論理積、+は論理和、 \wedge は論理的否定を表わしている。OutはフリップフロップFF0の出力であり、この信号が選択されるときはデータ保持である。また、I0が選択されるときはデータのロードを表わしている。このことから、データ入力ピンDの論理にOut=0及びI0=1を代入すると、データをロードする条件として、

$$\wedge(a * (b + c * d))$$

が求まる。FF1からFF31についても同様の操作を行ない、データをロードする条件は全て

$$\wedge(a * (b + c * d))$$

と求まる。

【0049】次に、ステップS102において非ロード条件入力部2より非ロード条件情報の入力があるか否かを判断する。この場合、入力が無かったものとする。このため、ステップS104においてロード条件 $\wedge(a * (b + c * d))$ の否定である $a * (b + c * d)$ がフ

リップフロップFF0, FF1, ..., FF31の非ロード条件となる。

【0050】ステップS105では、非ロード条件の等しい記憶素子をまとめるが、ここでFF0, FF1, ..., FF31は同じ非ロード条件 $a * (b + c * d)$ を持つので、記憶素子群としてまとめる。

【0051】ステップS106でこの記憶素子群を取り出し、ステップS108でイネーブル信号候補生成部4は、イネーブル信号候補の信号値が“1”のときに非ロード条件が“1”となるイネーブル信号候補を生成する。この場合、非ロード条件は $a * (b + c * d)$ であるので、イネーブル信号候補は $a * b$ 、 $a * c * d$ 、 $a * (b + c * d)$ の3つである。この3つの信号についてはイネーブル信号候補情報格納部6に格納される。

【0052】ステップS109では、イネーブル信号候補から1つの候補を取り出す。ここでは、 $a * b$ が取り出されたとする。ステップS111では、図7(a)に示したイネーブル信号候補 $a * b$ を生成する論理部分の面積、遅延時間、消費電力及び非ロード確率を面積・遅延・電力解析部5において計算する。面積はANDゲートの占有する面積であり、遅延時間は、信号a, bからANDゲートを経て出力端子に到達する時間のうち大きい方の時間である。非ロード確率は信号 $a * b$ の信号値が“1”となる確率であり、この論理部分の消費電力を解析中に求める。なお、この信号確率に基づく消費電力解析に関する公知例としては、F. Najm, “Transition Density, A Stochastic Measure of Activity in Digital Circuits” (Proceeding of 28th Design Automation Conference)がある。

【0053】本実施形態では、イネーブル信号候補 $a * b$ に対して、面積1.5、遅延時間2.8、消費電力2.0、非ロード確率0.65と求められたとする。この結果はイネーブル信号候補情報格納部6に格納される。

【0054】次に、ステップS112では、イネーブル信号候補 $a * b$ を使ってゲーテッドクロック設計を行なったときに、増加する回路全体の面積と削減される回路全体の消費電力を求める。増加する回路全体の面積では、イネーブル信号候補を生成する論理部分の他に、信号のグリッチを除去するために必要なイネーブル用リップフロップの面積増加も考慮される(後述詳細に説明する)。

【0055】イネーブル信号候補がロード条件の否定と一致するときにはリップフロップの入力側に存在するマルチプレクサを削除できるので、削除できるマルチプレクサの面積は減じられる。本実施形態では、イネーブル信号候補 $a * b$ は、ロード条件の否定と一致せずに、増加する面積が10.5であったとする。

【0056】また、削減される消費電力は、前記の信号確率に基づく消費電力解析により求め、前記イネーブル信号候補の非ロード確率が大きいほど、削減される消費電力は大きい。ここでは削減される消費電力は30.5であったとする。

【0057】ステップS111及びS112の操作をイネーブル信号候補 $a * c * d$ 及び $a * (b + c * d)$ についても行なう。図7(b), (c)に示したイネーブル信号候補 $a * c * d$ 及び $a * (b + c * d)$ を生成する論理部分に対して、ステップS111及びS112の操作を行なった結果、イネーブル信号候補情報格納部6に図8に示すような情報が格納されたとする。

【0058】次にステップS113において、まず設計制約部7から入力された設計制約を参照する。ここでは、イネーブル論理に対する遅延制約についてのみ4.0と与えられたとする。イネーブル信号候補情報格納部6に格納された情報を参照すると、イネーブル信号候補 $a * (b + c * d)$ は論理部分の遅延時間が4.5で、制約を満たさない。このため、イネーブル信号候補 $a * b$ と $a * c * d$ とで削減される消費電力の大きい方がイネーブル信号選択部8では選ばれる。この結果、イネーブル信号選択部8ではイネーブル信号として $a * b$ を選択する。

【0059】ステップS114では、選択された信号 $a * b$ をイネーブル信号としたゲーテッドクロック回路をゲーテッドクロック回路付加部9において生成して、図9に示す回路が回路情報格納部1に格納される。すなわち、図9に示す回路は、上記図5に示す回路において、2入力NANDゲート51、リップフロップ52及びANDゲート53からなるゲーテッドクロック回路が付加される。

【0060】ここで、リップフロップ52は、前述した、信号のグリッチを除去するために必要なイネーブル用リップフロップである。仮に当該リップフロップ52を設けなかった場合について、図10のタイミングチャートを参照して説明する。

【0061】当該リップフロップ52を設けなかった場合は、信号a, bのNANDをとるNANDゲート51の出力信号ECがイネーブル信号としてダイレクトにANDゲート53の一方入力端に入力され、その他方入力端にはクロック信号CLKが入力されることになる。この場合、もし前記の信号ECがクロック信号CLKの“H”レベル期間($t_1 \sim t_2$)の時刻 t_4 に立ち上がったときは、この信号の立ち上がり(時刻 t_4)とクロック信号CLKの立ち下がり(時刻 t_3)に同期する形で、リップフロップFF0~FF31のクロック入力ピンCKへ供給されるクロックCLKにグリッチが発生する。

【0062】本実施形態では、この点を考慮して、NANDゲート51とANDゲート53の間にリップフロ

10

20

30

40

50

ップ52を挿入している。このフリップフロップ52は、クロック信号CLKの立ち下がり同期して信号ECを取り込んで出力するので、たとえば信号ECがクロック信号CLKの“H”レベル期間($t_1 \sim t_2$)に立ち上がったとしても、フリップフロップ52の出力信号ENは、イネーブル信号として、クロック信号CLKの“L”レベル期間($t_2 \sim t_3$)に立ち上がることが保証される(時刻 t_5)。その結果、クロックCLKにグリッチが発生せず、回路の誤動作を回避することができる。

【0063】このように、本実施形態では、記憶素子に対する非ロード条件を抽出し、その条件に基づいてゲートッドクロック設計におけるイネーブル信号候補を生成する。そして、このイネーブル信号候補が持っている面積、遅延時間及び消費電力といったパラメータを考慮してイネーブル信号を選ぶようにした。これにより、消費電力の削減効果の大きい最適なイネーブル信号を用いた効果的なゲートッドクロック設計が可能となる。

【0064】(第2実施形態)本実施形態では、図1から図4に示したものと同様の構成において、非ロード条件入力部2から図11に示す非ロード条件が入力された場合を説明するものである。非ロード条件を入力する本実施形態によれば、非ロード条件抽出部3において抽出しきれなかった条件や論理回路上に表われないドントケア条件についても考慮することが可能となり、第1実施形態よりも最適なイネーブル信号を生成することができる。なお、回路情報格納部1に格納された情報は図5及び図6に示すものと同様であるとする。

【0065】ステップS101では、前記第1実施形態と同様に、フリップフロップFF1～FF31についてデータをロードする条件は、全て $\wedge(a * (b + c * d))$ と求まる。この場合、非ロード条件入力があるので、ステップS103においてロード条件の否定 $a * (b + c * d)$ と入力された非ロード条件 $\wedge d$ との和である $a * (b + c) + \wedge d$ をフリップフロップFF1からFF31についての非ロード条件とする。

【0066】ステップS105では、フリップフロップFF1からFF31を記憶素子群としてまとめる。この記憶素子群に対してステップS108では非ロード条件 $a * (b + c) + \wedge d$ からイネーブル信号候補を生成する。ここでは、 $a * b$ 、 $a * c$ 、 $\wedge d$ 、 $a * (b + c)$ 、 $a * b + \wedge d$ 、 $a * c + \wedge d$ 、 $a * (b + c * d)$ 、 $a * (b + C) + \wedge d$ がイネーブル信号候補として生成される。

【0067】それぞれのイネーブル信号候補に対してステップS111及びS112の操作を行ない、図12に示すイネーブル信号候補情報がイネーブル信号候補情報格納部6に格納される。設計制約部7から入力された設計制約は、上記第1実施形態3と同様にイネーブル論理に対する遅延制約について4.0と与えられたとする。

【0068】ステップS113では、イネーブル信号候補情報格納部6に格納された情報の中で、遅延制約を満たして削減される消費電力が最も大きいイネーブル信号候補 $a * b + \wedge d$ がイネーブル信号選択部8で選ばれる。

【0069】ステップS114では、選択された信号 $a * b + \wedge d$ をイネーブル信号としたゲートッドクロック回路をゲートッドクロック回路付加部9において生成して、図13に示す回路が回路情報格納部1に格納される。すなわち、図13に示す回路は、上記図9に示す回路において、NANDゲート51を2入力ANDゲート62と2入力NORゲート63に置き換えて、該NORゲート63の一方端子に信号 d を反転するインバータ61の出力端子が接続されている。

【0070】(第3実施形態)本実施形態では、図1から図4に示したものと同様の構成において、イネーブル信号選択部8がイネーブル信号をイネーブル信号候補の中から選択するに際し、イネーブル信号候補情報をグラフまたはテーブルの形式でCRT19上に表示することにより利用者に提供し、利用者がイネーブル信号を選択するようにしたものである。

【0071】本例では、上記第2実施形態において生成された図12に示す情報がイネーブル信号候補情報格納部6に格納されているとする。8つのイネーブル信号候補に対して、削減される消費電力を縦軸とし、増加する面積を横軸とした図14に示すグラフを生成して、CRT19上に表示する。利用者は表示されたこのグラフ上のポイントを指定することにより、イネーブル信号を選択することができる。また、図12に示すテーブルをCRT19上に表示して、利用者がイネーブル信号を指定することも可能である。

【0072】この場合、イネーブル信号選択部8はここで指定された候補を選び、指定された信号をイネーブル信号としたゲートッドクロック回路をゲートッドクロック回路付加部9において生成する。

【0073】

【発明の効果】以上詳細に説明したように、本発明に係るゲートッドクロック設計支援装置、ゲートッドクロック設計支援方法、及びゲートッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体によれば、ゲートッドクロック設計において、従来のように最適でないイネーブル信号を用いて設計するケースがなくなり、常に、消費電力削減効果の大きい最適なイネーブル信号を用いることができる。これにより、消費電力削減効果の大きい効果的なゲートッドクロック設計が可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るゲートッドクロック設計支援装置の機能ブロック図である。

【図2】図1に示したゲートッドクロック設計支援装置

を実現するコンピュータの構成を示すブロック図である。

【図 3】図 1 に示したゲーテッドクロック設計支援装置の動作を示すフローチャートである。

【図 4】図 3 の続きのフローチャートである。

【図 5】回路情報格納部 1 に格納された論理回路の一例を示す回路図である。

【図 6】図 5 中のマルチプレクサの論理構造図を示す図である。

【図 7】イネーブル信号候補の一例を表わす論理構造図 10 である。

【図 8】第 1 実施形態においてイネーブル信号候補情報格納部に格納された情報の一例を示す図である。

【図 9】第 1 実施形態のゲーテッドクロック設計支援装置を利用して生成された論理回路の一例を示す回路図である。

【図 10】グリッチの発生を示すタイミングチャートである。

【図 11】第 2 実施形態に係る非ロード条件入力部 2 から入力された非ロード条件の情報例を示す図である。 20

【図 12】第 2 実施形態においてイネーブル信号候補情*

* 報格納部に格納された情報の一例を示す図である。

【図 13】第 2 実施形態のゲーテッドクロック設計支援装置を利用して生成された論理回路の一例を示す回路図である。

【図 14】イネーブル信号候補情報格納部に格納された情報を表示したグラフの一例を示す図である。

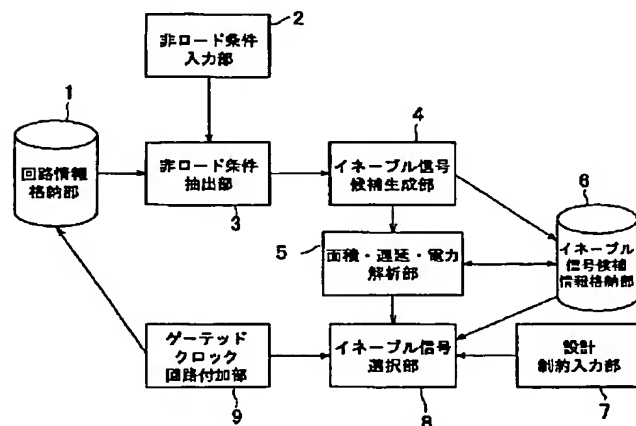
【図 15】従来の論理設計対象となる論理回路の一部分を示す部分回路図である。

【図 16】従来のクロックゲーティングされた論理回路の回路構成図である。

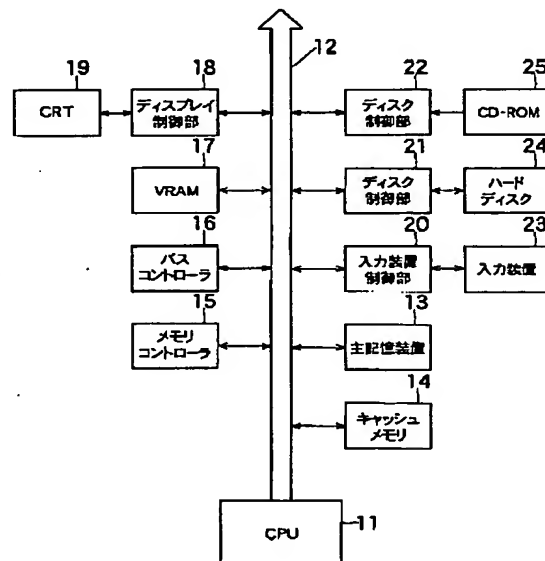
【符号の説明】

- 1 回路情報格納部
- 2 非ロード条件入力部
- 3 非ロード条件抽出部
- 4 イネーブル信号候補生成部
- 5 面積・遅延・電力解析部
- 6 イネーブル信号候補情報格納部
- 7 設計制約入力部
- 8 イネーブル信号選択部
- 9 ゲーテッドクロック回路付加部

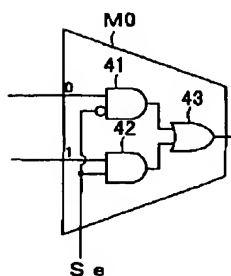
【図 1】



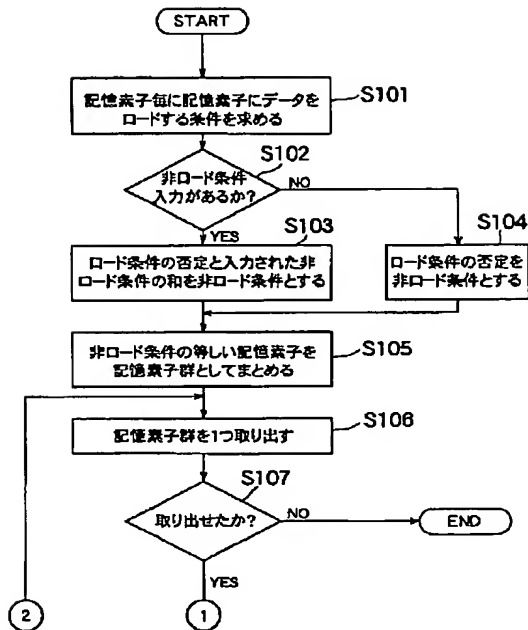
【図 2】



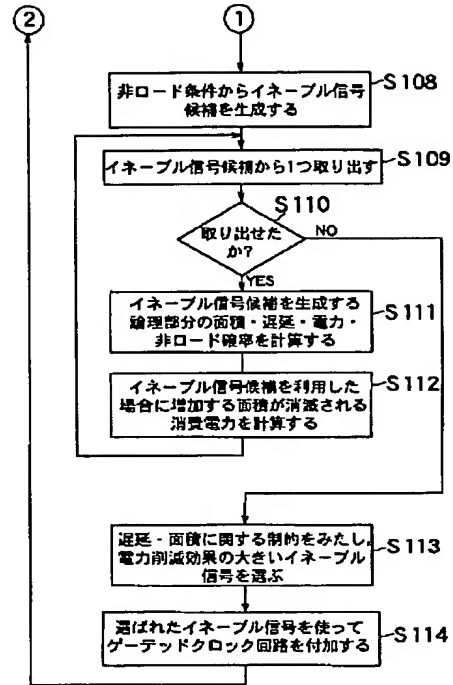
【図 6】



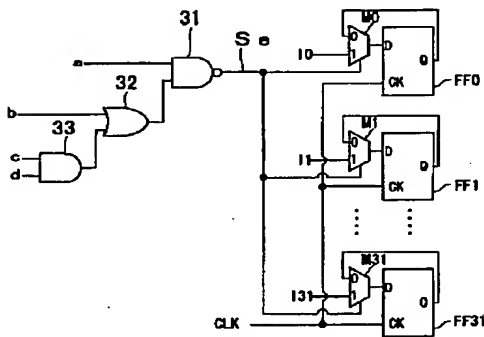
【図 3】



【図 4】



【図 5】

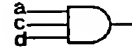


【図 7】

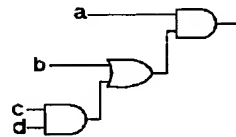
(a)



(b)



(c)



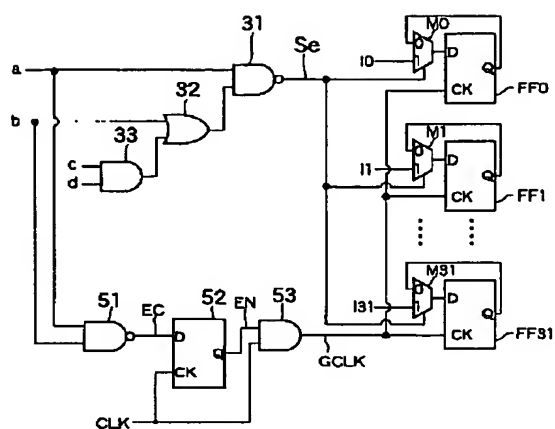
【図 8】

イネーブル信号候補	(論理部分)				増加する 面積	削減される 消費電力
	面積	遅延時間	消費電力	非ロード確率		
$a=b$	1.5	2.8	2.0	0.65	10.5	30.5
$a \oplus c \oplus d$	2.0	3.0	2.5	0.40	11.0	23.1
$a \oplus (b+c \oplus d)$	3.5	4.5	3.5	0.70	83.5	53.6

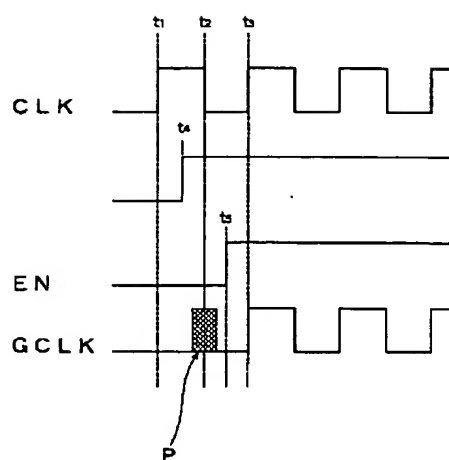
【図 11】

フリップフロップ: FF0	非ロード条件: $\neg d$
フリップフロップ: FF1	非ロード条件: $\neg d$
.....	
フリップフロップ: FF31	非ロード条件: $\neg d$

【図9】



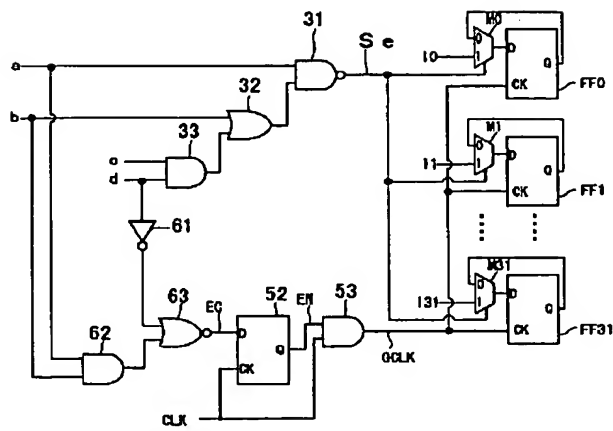
【図10】



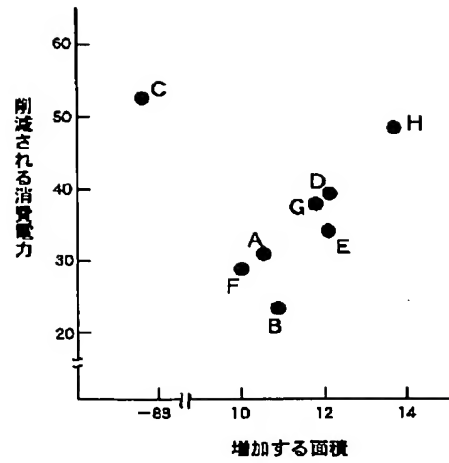
【図12】

イネーブル信号候補	(論理部分)				増加する	
	面積	遅延時間	消費電力	非ロード確率	面積	消費電力
$a*b$	1.5	2.8	2.0	0.65	10.5	30.5
$a*c*d$	2.0	3.0	2.5	0.40	11.0	23.1
$a*(b+c*d)$	3.5	4.5	3.5	0.70	-83.5	53.5
$a*b+^d$	3.2	3.5	2.8	0.75	12.2	38.7
$a*c+^d$	3.3	3.5	2.9	0.70	12.3	34.0
d	1.0	1.8	1.8	0.60	10.0	28.6
$a*(b+c)$	3.0	4.1	3.0	0.75	12.0	38.5
$a*(b+c)+^d$	4.0	4.7	3.5	0.80	13.0	48.0

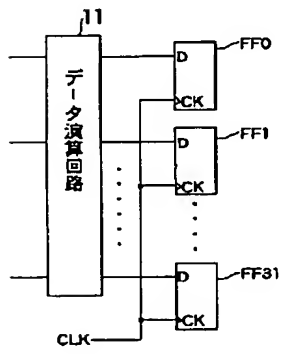
【図13】



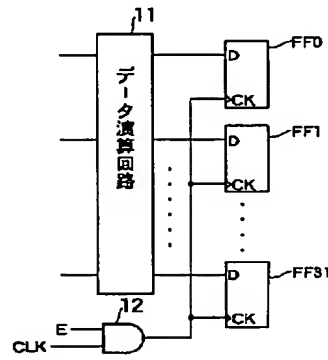
【図14】



【図15】



【図16】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 13 年 12 月 26 日 (2001. 12. 26)

【公開番号】特開平 11-149496
 【公開日】平成 11 年 6 月 2 日 (1999. 6. 2)
 【年通号数】公開特許公報 11-1495
 【出願番号】特願平 9-318546
 【国際特許分類第 7 版】

G06F 17/50
 H03K 19/173

【F I】

G06F 15/60 652 E
 H03K 19/173

【手続補正書】

【提出日】平成 13 年 6 月 27 日 (2001. 6. 27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 論理回路に対してゲートッドクロック設計を行うためのゲートッドクロック設計支援装置において、設計すべき論理回路に関する情報を格納する回路情報格納部と、前記論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出部と、前記非ロード条件から、ゲートッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成部と、前記イネーブル信号候補がイネーブル信号としてゲートッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析部と、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析部の解析結果を含む情報を格納する候補情報格納部と、設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報を入力する設計制約入力部と、前記イネーブル信号候補情報と前記制約情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択部と、前記イネーブル信号選択部により選択されたイネーブル信号を使ったゲートッドクロック回路を前記設計すべき論理回路に付加するゲートッドクロック回路付加部とを備えたことを特徴とするゲートッドクロック設計支援装置。

【請求項 2】 記憶素子に対してデータロードの必要がない条件を入力する条件入力部を備え、前記非ロード条件抽出部は、前記条件入力部より入力された条件と前記論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出する構成にしたことを特徴とする請求項 1 記載のゲートッドクロック設計支援装置。

【請求項 3】 前記イネーブル信号選択部は、前記候補情報格納部中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示する表示手段を有し、前記表示手段によるディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択する構成にしたことを特徴とする請求項 1 または請求項 2 記載のゲートッドクロック設計支援装置。

【請求項 4】 設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出ステップと、前記非ロード条件から、ゲートッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成ステップと、前記イネーブル信号候補がイネーブル信号としてゲートッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析ステップと、前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析ステップの解析結果を含む情報を記憶装置に格納する候補情報格納ステップと、前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択ステップと、前記イネーブル信号選択ステップにより選択されたイネーブル信号を使ったゲートッドクロック回路を前記設計すべき論理回路に付加するゲートッドクロック回路付加

ステップとを

実行することを特徴とするゲーテッドクロック設計支援方法。

【請求項5】 前記非ロード条件抽出ステップの前に、記憶素子に対してデータロードの必要がない条件を入力する条件入力ステップを行い、

前記非ロード条件抽出ステップは、前記条件入力ステップより入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出することを特徴とする請求項4記載のゲーテッドクロック設計支援方法。

【請求項6】 前記イネーブル信号選択ステップは、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択することを特徴とする請求項4または請求項5記載のゲーテッドクロック設計支援方法。

【請求項7】 設計すべき論理回路に関する情報に基づいて、記憶素子に対する非ロード条件を抽出する非ロード条件抽出手段と、

前記非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成手段と、

前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析手段と、

前記イネーブル信号候補に関するイネーブル信号候補情報として、前記パラメータ解析手段の解析結果を含む情報を記憶装置に格納する候補情報格納手段と、

前記設計すべき論理回路の面積、遅延時間及び消費電力に関する制約情報と前記イネーブル信号候補情報とに基づいて、設計制約を満たしたイネーブル信号を前記イネーブル信号候補の中から選ぶイネーブル信号選択手段と、

前記イネーブル信号選択手段により選択されたイネーブル信号を使ったゲーテッドクロック回路を前記設計すべき論理回路に付加するゲーテッドクロック回路付加手段とを有することを特徴とするゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項8】 前記非ロード条件抽出手段の前に、記憶

素子に対してデータロードの必要がない条件を入力する条件入力手段を行い、

前記非ロード条件抽出手段は、前記条件入力手段より入力された条件と前記設計すべき論理回路に関する情報とに基づいて、記憶素子に対する非ロード条件を抽出することを特徴とする請求項7記載のゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項9】 前記イネーブル信号選択手段は、前記記憶装置中のイネーブル信号候補情報をグラフまたはテーブルの形式でディスプレイ上に表示し、そのディスプレイ上の表示内容から所定のイネーブル信号を外部操作に従って選択することを特徴とする請求項7または請求項8記載のゲーテッドクロック設計支援プログラムを格納したコンピュータ読み取り可能な記録媒体。

【請求項10】 論理回路に対してゲーテッドクロック設計を行うためのゲーテッドクロック設計支援装置において、

設計すべき論理回路に関する情報を格納する回路情報格納部と、

記憶素子に対する非ロード条件から、ゲーテッドクロック設計においてイネーブル信号となる信号の候補であるイネーブル信号候補を生成するイネーブル候補生成部と、

前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する面積、遅延時間及び消費電力を解析するパラメータ解析部と、

前記イネーブル信号候補に関するイネーブル信号候補情報を格納する候補情報格納部と、を備えたことを特徴とするゲーテッドクロック設計支援装置。

【請求項11】 前記イネーブル候補生成部が、前記論理回路に関する情報に基づいて、記憶素子に対する非ロード条件のみを抽出することを特徴とする請求項10記載のゲーテッドクロック設計支援装置。

【請求項12】 前記パラメータ解析部は、前記イネーブル信号候補がイネーブル信号としてゲーテッドクロック設計された場合に要する消費電力のみを解析することを特徴とする請求項10記載のゲーテッドクロック設計支援装置。